

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.  
004520618

WPI Acc No: 1986-023962/198604

Related WPI Acc No: 1986-023961; 1986-023963; 1993-333187; 1993-354940;  
1994-187408; 1995-055647; 1995-176035; 1995-176086; 1995-279007;  
1995-279008; 1995-287105; 1996-131689; 1996-169179; 1997-408799;  
1997-408800; 1997-412902; 1998-227034; 1998-227035; 2000-279187;  
2000-335351; 2000-395873; 2000-477652; 2001-117289; 2001-141579;  
2001-141784; 2001-162138; 2001-196380; 2001-340531

XRPX Acc No: N86-017447

Thin film IGFET mfr. - includes recrystallising source and drain regions,  
by means of irradiation

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: YAMAZAKI S

Number of Countries: 002 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60245173	A	19851204	JP 84100251	A	19840518	198604 B
US 5313077	A	19940517	US 85735697	A	19850520	199419
			US 88153477	A	19880203	
			US 90520756	A	19900509	
			US 91687745	A	19910419	
			US 9354842	A	19930430	
US 5315132	A	19940524	US 85735697	A	19850520	199420
			US 88153477	A	19880203	
			US 90520756	A	19900509	
			US 91707178	A	19910524	
			US 92885643	A	19920519	
			US 92987179	A	19921208	
US 5543636	A	19960806	US 85735697	A	19850520	199637
			US 88153477	A	19880203	
			US 90520756	A	19900509	
			US 91707178	A	19910524	
			US 92885643	A	19920519	
			US 92987179	A	19921208	
			US 94214494	A	19940318	
			US 95425455	A	19950420	
			US 95473953	A	19950607	
US 6221701	B1	20010424	US 85735697	A	19850520	200125
			US 88153477	A	19880203	
			US 90520756	A	19900509	
			US 91707178	A	19910524	
			US 92885643	A	19920519	
			US 92987160	A	19921208	
			US 95386187	A	19950209	
			US 96703889	A	19960827	
			US 97947731	A	19971016	

Priority Applications (No Type Date): JP 84100251 A 19840518; JP 84100250 A 19840518; JP 84100252 A 19840518

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 60245173	A	10		
US 5313077	A	10	H01L-045/00	Cont of application US 85735697 Cont of application US 88153477 Div ex application US 90520756 Cont of application US 91687745 Cont of patent US 4959700
US 5315132	A	11	H01L-029/04	Cont of application US 85735697 Div ex application US 88153477 Cont of application US 90520756 Div ex application US 91707178 Div ex application US 92885643 Div ex patent US 4959700 Div ex patent US 5142344
US 5543636	A	12	H01L-029/04	Cont of application US 85735697 Div ex application US 88153477 Cont of application US 90520756 Div ex application US 91707178 Div ex application US 92885643 Div ex application US 92987179 Cont of application US 94214494 Div ex application US 95425455 Div ex patent US 4959700 Div ex patent US 5142344 Div ex patent US 5315132
US 6221701	B1		H01L-021/00	Cont of application US 85735697 Div ex application US 88153477 Cont of application US 90520756 Div ex application US 91707178 Div ex application US 92885643 Cont of application US 92987160 Div ex application US 95386187 Cont of application US 96703889 Div ex patent US 4959700 Div ex patent US 5142344

Abstract (Basic): US 5142344 A

Insulated gate field effect transistor comprise a) a semiconductor layer on an insulating surface of a substrate; b) a source and drain regions on a); c) a channel region defined between regions b) in a); and d) crystallised regions which are provided in a) and extend from the regions b) to c), respectively. Regions d) define between them a low-crystallisation region having a lower deg. of crystallisation than that of d), and low-crystallisation region is in c). Pref. d) extend down to the insulating surface; or extend vertically and do not extend down to the insulating surface.

ADVANTAGE - High OFF characteristic w.r.t. a conventional FET which has the semiconductor layer formed of the non-single-crystal

semiconductor. (Dwg.1/5)

Title Terms: THIN; FILM; IGFET; MANUFACTURE; RECRYSTALLISATION; SOURCE; DRAIN; REGION; IRRADIATE

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-029/04; H01L-045/00

International Patent Class (Additional): H01L-021/20; H01L-021/32;

H01L-021/36; H01L-021/84; H01L-027/02; H01L-029/00; H01L-029/10;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01766673 \*\*Image available\*\*

INSULATED GATE TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 60-245173 [JP 60245173 A]

PUBLISHED: December 04, 1985 (19851204)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 59-100251 [JP 84100251]

FILED: May 18, 1984 (19840518)

INTL CLASS: [4] H01L-029/78; H01L-021/324

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 398, Vol. 10, No. 108, Pg. 7, April 23, 1986 (19860423)

**ABSTRACT**

PURPOSE: To obtain an IGEFT having high reverse withstand strength by using a nonsingle crystal semiconductor to which hydrogen or halogen element is added as a channel, extending a region aided to crystallize to the interior of the channel, and providing source and drain adjacent to the channel.

CONSTITUTION: A laminate of nonsingle crystal semiconductor 2 which contains hydrogen of density higher than 1atom% and Si(sub 3)N(sub 4) 3 is formed on a quartz glass substrate 1, an N(sup +) type polysilicon gate electrode 4 is formed by a resist mask 6, P ions are implanted to form N type layers 7, 8. It is annealed with strong light 10 of mercury lamp, polycrystallized to the outside of the layers 7, 8, the bottom is approached to the substrate 1, advanced to channel side from the junction boundaries 17, 17' of the layers 7, 8, and the ends 15, 15' are disposed at the channel side from gate electrode ends 16, 16'. With this structure, the breakdown voltage of junction increases at the reverse bias time to obtain a high withstand IGFET.

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭60-245173

⑫ Int. Cl. 4  
H 01 L 29/78  
// H 01 L 21/324 識別記号 庁内整理番号 ⑬ 公開 昭和60年(1985)12月4日  
8422-5F  
6603-5F 審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 絶縁ゲート型半導体装置

⑮ 特願 昭59-100251  
⑯ 出願 昭59(1984)5月18日

⑰ 発明者 山崎 舜平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ  
ネルギー研究所内  
⑱ 出願人 株式会社 半導体エネ  
ルギー研究所 東京都世田谷区北烏山7丁目21番21号

明細書

1. 発明の名称

絶縁ゲート型半導体装置

2. 特許請求の範囲

1. 絶縁ゲート型電界効果トランジスタのチャネル形成領域は水素またはハロゲン元素が添加された非単結晶半導体よりなり、該半導体に隣接するソースおよびドレインを構成する一対の不純物領域は前記非単結晶半導体よりも結晶化が助長されて設けられ、かつ該結晶化が助長されて設けられた領域は前記ゲート電極下のチャネル形成領域の内部にわたって設けられたことを特徴とする絶縁ゲート型半導体装置。

2. 特許請求の範囲第1項において、水素またはハロゲン元素が1原子%以上の濃度に添加されたチャネル形成領域は非単結晶半導体と該半導体に比べて結晶化が助長されて設けられた半導体とにより設けられたことを特徴とする絶縁ゲート型半導体装置。

3. 発明の詳細な説明

「産業上の利用分野」

本発明は半導体集積回路、液晶表示パネル等に用いられる絶縁ゲート型電界効果半導体装置(以下IGFという)に関する。

「従来の技術」

単結晶珪素を用いたIGFは広く半導体分野に用いられている。その代表例は本発明人の発明になる特公昭50-1986「半導体装置およびその作製方法」である。しかしチャネル形成領域を単結晶半導体を用いるのではなく、水素またはハロゲン元素が1原子%以上の濃度に添加された非単結晶半導体により設けられたIGFは本発明人の出願による特願昭53-124021「半導体装置およびその作製方法」(昭和53年10月7日出願)がその代表例である。

かかる水素またはハロゲン元素が添加された半導体特に珪素半導体がチャネル形成領域に用いられたIGFは、オフ電流が従来より公知の単結晶半導体を用いた場合に比べて $10^3$ ~ $10^5$ 分の1も小

(1)

(2)

さい。そのため液晶表示パネル制御用IGFとして用いることが有効であるとされている。このIGFは前記した引例のごとく、ゲイト電極がチャネル形成領域の半導体に対しその上側に設けられた横チャネル型IGF、また本発明人の出願になる特願昭56-001767「絶縁ゲイト型半導体装置およびその作製方法」(昭和56年1月9日)に示された縦チャネル型IGF、およびゲイト電極がチャネル形成領域を構成する半導体の下側に設けられたいわゆる一般的に公知の薄膜IGFトランジスタ型が知られている。そのうち後2者に比べ前者の前記した構造は従来より公知の単結晶珪素を用いたIGFと構造が同じであるため、すでに出来上がった技術を応用できるというきわめて優れた特長を有するものであった。

しかし他方、かかるIGFにおいては、ソース、ドレインの作製をCVD法(プラズマCVD法を含む)により薄膜のディポジションにより行うのではなくイオン注入等により添加し、かつその添加物を400°C以下の水素またはハロゲン元素が脱気し

(3)

ない温度範囲でアーニルにより活性のドナーまたはアクセプタとしなければならない。

加えて、ソース、ドレイン、特にドレインとチャネル形成領域との間での逆耐圧の向上が求められている。

#### 「問題を解決するための手段」

本発明は上記の問題を解決するためのものであり、不純物の添加のないまたはきわめて少ない非単結晶半導体(以下水素またはハロゲン元素が添加された非単結晶半導体を単に半導体または非単結晶半導体と略記する)上にゲイト絶縁物およびその上にゲイト電極を選択的に設けた。さらにこのゲイト電極をマスクとしてイオン注入法等によりソース、ドレイン用の不純物例えはNチャネル型ではリンまたは砒素、Pチャネル型ではホウ素を非単結晶半導体内部に添加し不純物領域を構成させた。この後この不活性の不純物が添加された領域に対し、400°C以下の温度で強光照射をし、強光アーニル(以下単に光アーニルという)を行い、水素またはハロゲン元素が添加残存し、かつ

(4)

結晶化度がチャネル形成領域よりも助長された半導体、特に著しくは多結晶または単結晶構造の半導体にこの不純物領域の半導体を変成せしめ、加えてこの結晶化をチャネル形成領域にまで延在させることによりPIまたはNI接合部を結晶化度の高い領域としたものである。かくすることにより、チャネル形成領域はオフ電流を少なくするための水素またはハロゲン元素が添加された非単結晶半導体と接合部での耐圧の向上(アバランシェブレイクダウン電圧の向上)用に多結晶または単結晶領域をPIまたはNI接合界面近傍に設けたものである。

#### 「作用」

その結果、本発明のIGFの構造は、ソース、ドレイン、特にドレインの接合耐圧を単結晶半導体と同様に高くすることができ、従来のアモルファス半導体を含む薄膜トランジスタに比べ20V近くも向上させることができた。加えてゲイト電極が基板上のチャネル形成領域を構成する非単結晶半導体の上方に設けられ、かつこの半導体の光学的

$E_g$ (珪素半導体の場合1.7~1.8eV)に対し1.6~1.8eVと殆ど同じ光学的 $E_g$ を有しかつ活性な不純物領域を得ることができた。かくのごとく、 $E_g$ がチャネル形成領域と同じまたは概略同じであるため、IGFの「ON」、「OFF」に対しオン電流が立ち上がり時に流れにくかったり、また他方、電流がたち下がり時にダラダラ流れてしまったりすることがない、いわゆるオフ電流が少なく、かつオン、オフを高速応答で行うことができた。

以下に実施例により本発明を説明する。

#### 「実施例1」

基板(1)として第1図(A)に示すごとく、厚さ1.1mmの石英ガラス基板10cm×10cmを用いた。この上面に、シリコン(Si<sub>1-x</sub>)のプラズマCVD(高周波数13.56MHz、基板温度210°C)により水素が1原子%以上の濃度に添加されたアモルファス構造を含む非単結晶半導体(2)を0.2μの厚さに形成した。さらにこの上面に光CVD法により窒化珪素膜(3)をゲイト絶縁膜として積層した。即ちSi<sub>1-x</sub>H<sub>x</sub>とアンモニアまたはヒドログリジンとの反応(2537Åの波

(5)

(6)

長を含む低圧水銀灯、基板温度250 °C)により、 $Si_3N_4$ を水銀増感法を用いることなしに1000 Åの厚さに作製した。

この後、IGFを形成する領域(5)を除く他部をプラズマエッチング法により除去した。反応は $CF_4 + O_2$ (5%)で13.56MHz、室温で行った。このゲート絶縁膜上に $N^+$ の導電型の微結晶または多結晶半導体を0.3 μの厚さに積層した。この $N^+$ の半導体膜をレジスト(6)を用いてフォトエッチング法で除去した後、このレジストと $N^+$ 半導体のゲート電極部(4)とをマスクとしてソース、ドレインとなる領域にイオン注入法により $1 \times 10^{19} \text{ cm}^{-3}$ の濃度で第1図(B)に示すごとくリンを添加し、一对の不純物領域(7), (8)を形成した。

さらにこの基板全体に対し、ゲート電極のレジストを除去した後、強光(10)の光アニールを行った。即ち、超高压水銀灯(出力5kW、波長250 ~ 600 nm、光径15mmφ、長さ180mm)に対し裏面側は放物面の反射鏡を用い前方に石英のシリンドリカルレンズ(焦点距離150cm、集光部巾2mm、長さ180mm)に

より線状に照射部を構成した。この照射部に対し基板の照射面を5 ~ 50cm/分の速度例えば10cm/分の速さで走査(スキャン)し、基板10cm×10cmの全面に強光が照射されるようにした。

かくするとゲート電極部はゲート電極側にリンが多量に添加されているため、この電極は十分光を吸収し多結晶化した。また不純物領域(7), (8)は一度溶融し再結晶化することにより走査する方向即ちX方向に溶融、再結晶がシフト(移動)させた。その結果單に全面に均一に加熱または光照射するのみに比べ、成長機構が加わるため結晶粒径を大きくすることができた。

この強光アニールにより多結晶化した領域を、不純物領域の外側の全領域にまで及ぼしめた。このため図面に示されるごとく、その底面は基板(1)上にまで至り、破線(11), (11')に示したごとく、不純物領域(7), (8)の接合界面(17), (17')よりもチャネル形成領域に0.3 ~ 3 μの深さにわたって設けられ、モホロジ的な界面(15), (15')はゲート電極下に設けられている。即ちその端部(15)(15')

(7)

(8)

はゲート電極の端部(16), (16')よりもチャネル形成領域内側にわたって設けられている。かくのごとく、(7), (8) — 1(2)接合界面(17), (17')が結晶化領域内部に設けられているため、逆バイアスに対し接合の破壊電圧が大きくなり高耐圧IGFを作ることができた。このI型半導体内の結晶化半導体の領域の程度は光アニールの走査スピード、強度(照度)によって決めることができる。

図面においては、この第1図(B)の工程の後、PIQを全面に2 μの厚さにコートし、さらに電極穴(13)(13')に形成した後、アルミニュームのオームコンタクトおよびそのリード(14), (14')を形成している。この2層目の(14), (14')の形成の際、ゲート電極(4)と連結してもよい。

この光アニールの結果、不純物領域のシート抵抗が光照射前の $4 \times 10^{-3}$  (Ωcm)<sup>-1</sup>より $1 \times 10^{-2}$  (Ωcm)<sup>-1</sup>に比べ光照射アニールの後の電気伝導度特性の変化により明らかにすることができた。

さらにそのドレイン耐圧は第2図曲線(21)に示されるごとく、チャネル形成領域の長さが10 μの

場合、チャネル巾が1mmの条件下において、60Vまで作ることができた。これはゲート電圧 $V_{GS} = 10V$ とした時の条件である。

これはこの接合領域がアモルファス構造の従来より公知の薄膜トランジスタにおいては、30 ~ 50 Vと大きくばらつくことを考えると、大きな進歩であった。

#### 「効果」

本発明は下側から漸次被膜を形成し加工するという製造工程を採用したため、大面積大規模集積化を行うことが可能になった。そのため大面積例えば30cm×30cmのパネル内に500×500ヶのIGFの作製すらも可能と/or することができ、液晶表示素子の制御用IGFとして応用することができた。

光アニールプロセスにより多結晶化または単結晶化した半導体をチャネル形成領域にまで延在させた。このためドレイン耐圧を従来より20V以上向上させることができるようにになった。

この光アニールを紫外線で行うため、半導体の表面より内部方向への結晶化を助長させた。この

(9)

(10)

ため十分に多結晶化または単結晶化した表面近傍の不純物領域へチャネル形成領域におけるゲート絶縁膜のごく近傍に流れる電流制御を支障なく行うことが可能となった。

基板として単結晶半導体をまったく用いていない。このため光照射アニール工程に際し、チャネル形成領域のソース、ドレインより離れた内部はまったく何等の影響を受けず非単結晶半導体の状態を保持できる。そのためオフ電流を単結晶半導体の $1/10^2 \sim 1/10^4$  にすることができた。

ゲートを作った後ソース、ドレインを光アニールで作製するため、ゲート絶縁物界面に汚物が付着することがなく特性が安定していた。

さらに従来より公知の方法に比べ、基板材料として石英ガラスのみならず任意の基板であるソーダガラス、耐熱性有機フィルムをも用いることができる。

異種材料界面であるチャネル形成領域を構成する半導体—ゲート絶縁物—ゲート電極の形成と同一反応炉内でのプロセスにより、大気に触れさせ

ることなく作り得るため、界面単位の発生が少ないと特長を有する。

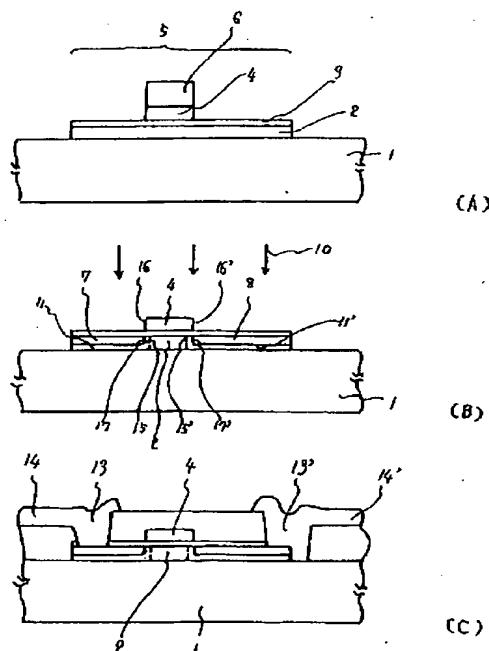
なお本発明において、チャネル形成領域の非単結晶半導体の酸素、炭素および窒素のいずれもが $5 \times 10^{18} \text{ cm}^{-3}$  以下の不純物濃度であることが好ましい。即ちこれらが従来公知のIGFにおいてはチャネル層に $1 \sim 3 \times 10^{20} \text{ cm}^{-3}$  の濃度に混合してしまった。アモルファス珪素半導体を用いる場合においては、キャリア特にホールのもつライフタイムが短くなり、特性が本発明が有する特性の $1/3$  以下の電流しか流れない。加えてヒステリシス特性を $I_{ds} - V_{ds}$  特性にドレイン電界を $2 \times 10^6 \text{ V/cm}$  以上加える場合に観察されてしまった。また他方酸素を $5 \times 10^{18} \text{ cm}^{-3}$  以下とすると、 $3 \times 10^4 \text{ V/cm}$  の電圧においてもヒステリシスの存在が観察されなかった。

#### 4. 図面の簡単な説明

第1図は本発明の絶縁ゲート型電界効果半導体装置の製造工程の縦断面図を示す。

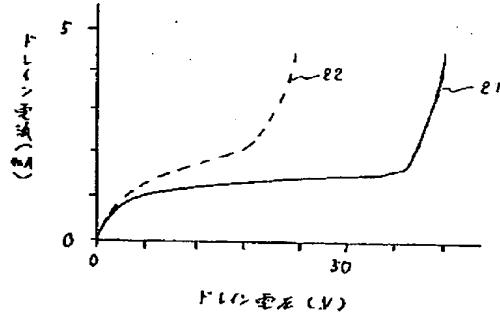
第2図はドレイン電流—ドレイン電圧の特性を示す。

(11)



第1図

(12)



第2図